

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-211956

(43)Date of publication of application : 25.08.1989

(51)Int.Cl.

H01L 23/50

H01L 23/28

(21)Application number : 63-035207

(71)Applicant : HITACHI LTD

(22)Date of filing : 19.02.1988

(72)Inventor : SHIMIZU KAZUO

HOSHI AKIRO

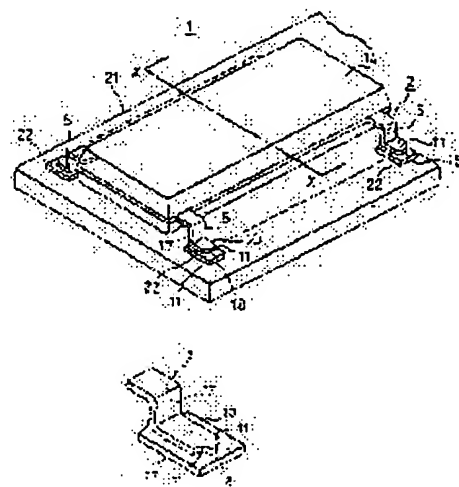
OKADA SUMIO

**(54) SURFACE-MOUNTED PLASTIC-PACKAGE TYPE SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, AND MANUFACTURE, MOUNTING AND MOUNTING STRUCTURE THEREOF**

(57)Abstract

**PURPOSE:** To improve the solderability of outer leads in surface mounting by constituting each lead so that cutting trace areas in connecting sections with an outer frame of the outer leads in each lead are made smaller than the sectional areas of the outer leads.

**CONSTITUTION:** An IC1 is arranged and loaded onto a wiring substrate 21 so that respective outer lead 5 is matched with each land pad 22 wired and formed onto the substrate 21, the land pads 22 and the outer leads 5 are soldered and treated, and the IC1 is connected electrically and mechanically to the wiring substrate 21 by the soldering sections 23 and surface-mounted. Since the areas of cutting traces 18 with an outer frame 7 in the outer leads 5 are organized at a value smaller than the sectional areas of the outer leads 5 at that time, the soldering sections 23 are shaped uniformly extending over the whole, solder plating films 17 are formed respectively onto the surfaces of notch sections 11 notched on both sides of the cutting traces 18, and a soldering material is bridged mutually from both sides, crossing the narrow cutting traces 18. Accordingly, solderability at the time of surface mounting can be improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## Partial English Translation of Japanese Patent Laying-Open No. 01-211956 ✓

In the present embodiment, however, the area of cutting trace 18 of outer lead 5 where outer lead 5 is cut from outer frame 7 is made smaller than the cross-sectional area of outer lead 5. Accordingly, in spite of the fact that solder coating 17 is not applied, soldering portion 23 is uniformly formed in whole as shown in Fig. 8. Namely, as solder plating coating 17 is formed on the surface of notch 11 provided on opposing sides of cutting trace 18, the solder material effectively creeps up the surface and spreads as a result of surface tension, thus bridging over narrow cutting trace 18 from opposing sides.

According to the embodiment, the following effect is obtained.

(1) The area of the cutting trace of the outer lead where the outer lead is cut from the outer frame is made smaller than the cross-sectional area of the outer lead, so that the soldering portion can be formed over a wide area at the tip end portion of the outer lead, with respect to the land pad during surface mount. Thus, connection reliability and appearance after surface mount can be enhanced.

(2) As the outer lead is connected to the outer frame via the connection portion during forming of the package and solder plating process, integrity and rigidity is maintained and lowering in productivity or workability can be avoided.

(3) By providing the notch in the lead frame, the area of the cutting trace can be made smaller than the cross-sectional area of the outer lead. Therefore, solderability during surface mount can be improved, without causing lowering in productivity or workability.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-211956

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)8月25日

H 01 L 23/50  
23/28  
23/50

E-7735-5F

A-6412-5F

K-7735-5F 審査請求 未請求 請求項の数 14 (全13頁)

⑮ 発明の名称 面実装プラスチック・パッケージ型半導体集積回路装置及びその製造方法並びにその実装方法及び実装構造

⑯ 特 願 昭63-35207

⑰ 出 願 昭63(1988)2月19日

⑱ 発 明 者 清水 一 男 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内  
 ⑲ 発 明 者 星 彰 郎 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内  
 ⑳ 発 明 者 岡 田 澄 夫 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内  
 ㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
 ㉒ 代 理 人 弁理士 小川 勝男 外1名

## 明 細 書

## 1. 発明の名称

面実装プラスチック・パッケージ型半導体集積回路装置及びその製造方法並びにその実装方法及び実装構造

## 2. 特許請求の範囲

1. 面実装型レジン封止半導体装置は、以下の構成からなる：

- (a) その一対の上下主面の平面構造がほぼ正方形又は長方形の形状を有する箱箱様の外形を有するレジン・モールド体と
- (b) 上記レジン・モールド体の対向する側面から突出するメタル・シートからつくられたほぼ板状のアウトリードと
- (c) 上記レジン・モールド体内に対止された半導体ペレットと
- (d) 上記ペレット上の電極とリードを接続する手段とよりなり、

上記各々のアウトリードは、ほぼ同一の形状を有し、それぞれの自由端およびその近傍は、上

記下側主面よりも低い位置で、その主面とはほぼ平行にされて上記封止体から遠ざかる方向に延在している。

更に、上記各アウトリードの自由端の正面切断面と両側面部との境界部には、正面切断面の面積が小さくなるように、切欠部が設けられている。

更に、上記各アウトリードの上記正面切断面を除くほぼ全表面には、ハンダコート層が形成されている。

2. 上記請求項1記載の半導体装置において、上記半導体ペレットは、集積回路を構成する。

3. 上記請求項2記載の半導体装置において、上記リードは、主に銅よりなる合金からなる。

4. 上記請求項3記載の半導体装置において、上記ペレットは、上記リードとほぼ同一材料からなる保持部材上に導電ペーストを介して固着されている。

5. 上記請求項4記載の半導体装置において、上記導電ペーストは、Agペーストである。

6. 一枚のメタルフィルムより所定の形状を有す

るようにされたリードフレームを用いた面実装レジスタ半導体装置の製造方法は、以下のステップよりなる：

- (a) 枠体とリードよりなるリードフレームの複数の所定の部分に、その一対の上下主面の平行構造がほぼ正方形又は長方形の形状を有する薄箔様の外形を有する複数のレジスタ封止体を形成する工程；
  - (b) 上記工程後、上記リードフレームのほぼ全面に半田層を形成する工程；
  - (c) 上記工程後、上記枠体とリードのおおのとの連結部のリードの狭隙部において、リードと枠体を切断する工程；
  - (d) 上記リードの各自由端およびその近傍を上記封止体の下方主面より下方の位置で、その主面とほぼ平行で、かつ、上記封止体から遠ざかるような形状に整形する工程；
  - (e) 上記各封止体と枠体を分離する工程。
7. 上記請求項6記載の半導体装置の製造方法において、上記工程(d)は、工程(e)よりも前に実行

下の工程よりなる：

- (a) 複数のランド・パッドをその少なくとも一方の主面上に有するプリント配線基板の前記ランド・パッド上に所定のパターンを有する半田を含む組成物層を形成する工程；
  - (b) 上記組成物層にそれらのリードの先端及びその近傍が上記主面とほぼ平行になるように複数のレジスタ封止半導体装置を載置する工程；
- ここにおいて、上記リードの各先端部は、テーパーを有し、両先端正面以外は、半田層でコートされている；
- (c) 上記リード及び組成物層を実質的に同時に加熱して、半田を溶融する工程；
  - (d) 上記半田を冷却して、半田付けを完成させる工程。

12. 上記請求項11記載の面実装方法において、上記工程(c)のハンダの溶融は、ペーパー・フェーズ・リフロー法により行なう。

13. 上記請求項12記載の面実装方法において、上記組成物は、半田クリームである。

される。

8. 上記請求項7記載の半導体装置の製造方法において、上記封止体は、トランスファー・モールド法により形成される。

9. レジスタ封止半導体デバイスの実装体は、以下の構成よりなる：

- (a) 複数のほぼ正方形又は長方形のランド・パッドを有するプリント配線基板と
- (b) 上記ランド・パッドに各リードの先端および近傍がパッドに、ほぼ平行に接触するように半田付けされた複数の面実装型レジスタ封止半導体装置とよりなり、

上記各レジスタ封止半導体装置のリードの先端部は、先端部にむけて横幅がせまくなるようにされ、そのことによって、リード先端部が各ランド・パッドの全てを覆わないようにされている。

10. 上記請求項9記載の実装体において、上記リードは、主に銅を主成分とするメタル・シートからなる。

11. レジスタ封止半導体装置の面実装方法は、以

14. 上記請求項13記載の面実装方法において、上記ランド・パッド以外の上記主面は、ソルダレジストによって、被覆されている。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は、電子装置、特に、表面実装型パッケージを備えている電子装置に関し、例えば、ガル(Gull)・ウイング(Wing)形のアウタリードを有する半導体集積回路装置(以下、ICという。)に利用して有効な技術に関する。

#### 〔従来の技術〕

表面実装型パッケージを備えているICとして、ガル・ウイング形のアウタリードを有するものがあり、表面実装時におけるソルダブリティを良くさせるため、このガル・ウイング形アウタリードにはその表面にはんだめっき処理が施されている。このめっき処理はリードフレームにパッケージが成形された後に実施される。そして、このめ

以下全頁

つき処理後、リードフレームにおけるアウタリードと外枠との接続部が切断され、アウタリードのガル・ウイング形状が屈曲成形される。

なお、表面実装型パッケージを述べてある例としては、日産マグロウヒル社「マイクロデバイス№2」昭和59年6月11日発行 p148～p154、がある。

更に、特開昭61-75553には、面実装プラスチック・パッケージにおいて、リード先端の幅を細くすることによって実装時の半田濡れ性を改善するアイデアが示めされている。

〔発明が解決しようとする課題〕

このようなガル・ウイング形アウタリードを有する表面実装型パッケージICにおいては、アウタリードと外枠との接続部についての切断痕にはんだめっき処理が施されていないため、表面実装時に当該切断痕箇所における溶ダビリティーが悪くなり、実装後における接続についての信頼性や外観が低下するという問題点があることが、本発明者によって明らかにされた。

デバイスの面実装性を提供することにある。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要は、

すなわち、表面実装型パッケージを備えている電子装置において、各リードをそのアウタリードの外枠との接続部における切断痕面積がアウタリードの断面積よりも小さくなるように構成したものである。

〔作用〕

前記した手段によれば、アウタリードと外枠との切断痕の表面面積がアウタリードの断面積よりも小さく形成されているため、はんだめっき処理が施されていない切断痕があっても、表面実装時にはそれに殆ど影響されずに済み、はんだ材料がアウタリードに盛り上がるようになることによって効果的に付着する。したがって、実装後におけるはんだ接続についての信頼性や外観の低下は抑制されることになる。

一方、パッケージの成形時や、はんだめっき処

更に、アウタリードの先端を枠体と連結せず、フリーエンドの状態にしておいて、先端部にも半田メッキ層が形成されるようにすることも考えられるが、モールド時の熱応力及びモールド圧力に対する力学的強度が低い等の問題があることが、本発明者によって明らかにされた。

本発明の1つの目的は、表面実装におけるアウタリードの溶ダビリティーを向上させることができる電子装置を提供することにある。

本発明の1つの目的は、面実装に有利な半導体装置を提供することにある。

本発明の1つの目的は、面実装作業を容易にすることができるレジスト封止半導体集積回路装置を提供することにある。

本発明の1つの目的は、信頼性の高い面実装方法を提供することにある。

本発明の1つの目的は、高密度実装が可能なレジスト封止半導体デバイスの製造方法を提供することにある。

本発明の1つの目的は、信頼性の高い半導体デ

バイスの面実装性を提供することにある。  
理時においては、リードフレームにおいてアウタリードが外枠との接続状態を維持することにより、各リードが剛性等について適正な状態、および一体性を確保するため、パッケージの成形やめっき処理について所期の性能、並びに作業性等を確保することができる。

〔実施例〕

(1) プロセスのアウトライン：

第1図は本発明の一実施例であるガル・ウイング形アウタリードを有する表面実装型パッケージICを示す斜視図、第2図はそれに使用されているリードフレームを示す平面図、第3図は第2図のⅡ部を示す拡大斜視図、第4図および第5図はその製造途中を示す各模式図、第6図、第7図および第8図はその作用を説明するための各部分斜視図である。

本実施例において、IC1はリードフレーム2を備えており、リードフレーム2はアウタリード成形以前には第2図に示されているように構成されている。すなわち、リードフレーム2は中央部

に略正方形の空所3が残るように略放射形状に配設されている複数本のインナリード4と、各インナリード4にそれぞれ一体的に連設されて2列に並べられている複数本のアウトリード5と、隣り合うアウトリード5、5間に架設されているダム6と、略四角形の枠形状に形成され、その対辺のそれぞれにアウトリード5群を連設されている外枠7と、空所3に配されてこれよりも若干小さめの略正方形の平盤形状に形成されているタブ8と、外枠7から突設されてタブ8を吊持しているタブ吊りリード9とを備えている。

各アウトリード5と外枠7との接続部10には切欠部11が一对、アウトリード5の両側端辺にそれぞれ配されて略半円形状に切設されている。リードフレーム2は打ち抜きプレス加工により形成される。そこで、例えば、アウトリード5および外枠7を打ち抜くプレス金型の刃を切欠部11に対応する所望の形状に形成させておくことにより、切欠部11はタブ8の打ち抜き加工と同時に形成される。また、アウトリード5および外枠7

アウトリード5は接続部10によって外枠7に一体的に連結されているため、屈曲されたり、変形されたりすることはない。

その後、パッケージ14が成形されたリードフレーム2には予備はんだ被膜17が、第5図に示されているように電解めっき処理装置16を使用することにより、パッケージ14から突出した部分の表面に全体にわたって形成される。このときも、アウトリード5は外枠7と一体性を維持しているため、屈曲されたり、変形されたりすることはない。

そして、リードフレーム2はアウトリード5と外枠7との接続部10、およびダム6をそれぞれ切断されるとともに、アウトリード5群をパッケージ14の外部において下方に屈曲され、かつ、水平外方向に屈曲されることにより、第6図に示されているように所謂ガル・ウイング形状に形成される。このとき、アウトリード5と外枠7との接続部10にはリードフレームの素材が切断痕(切り口)18として露出するため、この切断痕

の接続部10にエッチング加工を施しても切欠部11を形成することができる。

タブ8上には集積回路を作り込まれたベレット12が適当な手段によりボンディングされており、ベレット12の電極パッド(図示せず)には各インナリード4との間にワイヤ13がそれぞれボンディングされている。ベレット12の集積回路は電極パッド、ワイヤ13、インナリード4およびアウトリード5を介して電気的に外部に引き出されるようになっている。

そして、このように構成されてベレット12が搭載されたリードフレーム2にはパッケージ14が、第4図に示されているように、トランスファ成形装置15により成形材料として樹脂を使用して略長方形の平盤形状に一体成形され、このパッケージ14により前記リードフレーム2の一部、ベレット12、ワイヤ13およびタブ8が非気密封止される。すなわち、タブ8等以外のアウトリード5群はパッケージ14の2側面からそれぞれ突出されている。このパッケージ成形作業中、ア

18の表面にははんだ被膜17が被着されていないことになる。しかし、接続部10には切欠部11が形成され、この切欠部11の表面にははんだ被膜15が被着されているため、切断痕18において、はんだ被膜17が被着されていない表面の面積はアウトリード5の断面面積に比べて充分に小さくなっていることになる。

次に、前記のようにして製造されたIC1の使用法並びに作用を説明する。

第1図に示されているように、IC1は配線基板21上に、その基板21に配線されて形成された各ランドパッド22に各アウトリード5が整合するように配されて搭載されるとともに、第8図に示されているようにランドパッド22とアウトリード5との間をはんだ付け処理される。このはんだ付け部23により、IC1は配線基板21に電気的かつ機械的に接続されて表面実装された状態になる。

ところで、第7図に示されているように、アウトリードの先端部における外枠との切断痕18'

の面積がアウタリードの断面面積と等しくなっていた場合、この切断痕18'にははんだめっき被膜17が被着されていないため、ランドパッド22からはんだ材料の吸い上がりが悪く、切断痕18'にはんだ付け部23'が部分的に形成されないことがある。

このように、はんだ付け部がアウタリード先端部において全体にわたって適正に形成されない場合、実装後におけるはんだ付け部23'が部分的に欠損された形態になるため、外観が悪くなるばかりでなく、電気的かつ機械的接続性能の低下が招来される。

しかし、本実施例においては、アウタリード5における外枠7との切断痕18の面積はアウタリード5の断面面積よりも小さく構成されているため、はんだ被膜17が被着されていないにもかかわらず、第8図に示されているように、はんだ付け部23が全体にわたって均一に形成されることになる。すなわち、切断痕18の両脇に切設された切欠部11の両面にははんだめっき被膜17が

装時における溶ダビリティーを高めることができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、切欠部は半円形状のものをアウタリードの両側端部にそれぞれ配して構成するに限らず、第9図、第10図および第11図に示されているように構成してもよい。

第9図において、アウタリード5と外枠7との間にはスリット形状の切欠部11Aがアウタリード5の片側に接続部10Aを残すように切設されている。

第10図において、アウタリード5と外枠7との間には円形透孔形状の切欠部11Bがアウタリード5の両側に接続部10Bを残すように切設されている。

第11図において、アウタリード5と外枠7と

それぞれ形成されているため、はんだ材料はその表面に効果的に吸い上がって表面張力で肥大化し、狭い切断痕18を跨いで両脇から互いに架橋することになる。

前記実施例によれば次の効果が得られる。

- (1) アウタリードの外枠との切断痕の面積をアウタリードの断面面積よりも小さく形成することにより、表面実装時にランドパッドとの間でアウタリード先端部にはんだ付け部を広い範囲に形成させることができるため、表面実装後における接続の信頼性や外観性能を高めることができる。
- (2) パッケージの成形時およびはんだめっき処理時において、アウタリードは外枠に接続部によって連結されているため、一体性および剛性を維持することになり、生産性ないしは作業性の低下を回避することができる。
- (3) リードフレームに切欠部を切設しておくことにより、切断痕の面積をアウタリードの断面面積よりも小さく形成することができるため、生産性ないしは作業性の低下を招くことはなく、表面実

の間にはアウタリード5の厚さ方向中央部に接続部10Cを残すように切設されている。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるガルーウイング形リードを有する表面実装型パッケージICに適用した場合について説明したが、それに限定されるものではなく、Jベンド形リードやビーム形リードを有する表面実装型ICや、その他の表面実装型の電子装置全般に適用することができる。

## (2) 本実施例のリードフレームの詳細：

ここでは、第2図に示すリードフレームに対応して、生産に適合したリードフレームに関し、先の実施例の詳細を説明する。

第12図は、リードフレームの実態を示す平面図である。このリードフレームは、約デバイス4ヶ分の領域を示すが、実際には、この10倍ほどの長さにわたって縦方向に連結している。リードフレームは、Sn 1.7～2.3重量%、Ni 0.1～0.4重量%、その他微量のFe、P、Zn、Pb

よりなるCuを主要分とする銅合金の0.15～0.2mm厚の薄板から、プレス打ぬき又はエッチングによる形成された。第12図において、4は、インナーリード、5はアウターリード、6は、トランスファーモールド時にレジンのリークを防止するためのダム部、7は、これらのリード等を支持するための外枠、8は、この上に半導体ペレットを固着するためのタブ部(ペレット保持部orチップ・サポート部材)、9は、タブを支持するためのタブつりリード、10は、アウターリードの自由端部に対応する接続部(狭あい部、くびれ部)、11は、切欠部、31A～Eはモールド時の応力を吸収するためのスリット状開口部、32は複数のデバイス領域間を区分するための境界枠、33は内枠領域である。

第13図は、上記リードフレームの平面領域の内、破線で囲んだ領域34が第4図に示す如く、熱膨張係数 $2.1 \sim 2.5 \times 10^{-5} / ^\circ\text{C}$ 程度の熱硬化性を有するエポキシ系レジンによりトランスファーモールドされることを示す。

径のボンディング・ワイヤであり、チップ1上のA8パッドとインナーリード4の間を接続している。14は、レジン封止体であり、表面は静電気の発生を防止するために梨地状に粗面仕上げされ、上主面上にレーザーマーキング法により型番等が表示されている。37は、タブ8上にペレット1を固着するための導電性ペーストすなわちAgペースト層である。

ここで用いられるICペレットは、たとえば、2mm角、厚さ400 $\mu\text{m}$ のTTL又はCMOS Logic等が考えられる。この場合、ピン数は14～16ピン、A8パッドの大きさは120 $\mu\text{m}$ 角、そのピッチは180 $\mu\text{m}$ である。

(4) 本実施例のワイヤボンディング・プロセスの詳細:

第15図に示すワイヤ・ボンディングの工程を第16図に図示する。同図において、4は銅合金よりなるインナーリード、8はタブ、12はSi単結晶ペレット、13はCuワイヤであり、キャビタリ37によって、ボール・ウェッジ・ボンデ

第14図は、レジン封止体が形成され、その状態で、電解メッキ法により、露出しているリードフレームのはほぼ全面に9 $\mu\text{m}$ 程度の半田層が形成された後、デバイスと枠体を分離する時の切断面を破線35により示す。

(3) 本実施例のレジン封止ICの構造の詳細:

本発明が主に適用される半導体デバイス・パッケージは、Gull-Wingタイプと総称され、SOP(Small Outline Package)、SSOP(Shrink Small Outline Package)、QFP(Quad Flat Package)等に分類される。

第15図にSOPの詳細構造を示す。1は、Siチップ(半導体集積回路又は半導体デバイス・ペレット)、5は、アウターリードであり母材はCuを主成分とし、表面の先端正面36を除いて半田メッキが施されている。4はインナーリード部、8はタブ部分、9はタブつりリード、11はアウターリードの自由端側部の切欠部でこの部分には上記ハンダメッキが施されている。13は99.999%以上の純度を有する無酸素銅よりなる30 $\mu\text{m}$

径のボンディング・ワイヤであり、チップ1上のA8パッドとインナーリード4の間を接続している。14は、レジン封止体であり、表面は静電気の発生を防止するために梨地状に粗面仕上げされ、上主面上にレーザーマーキング法により型番等が表示されている。37は、タブ8上にペレット1を固着するための導電性ペーストすなわちAgペースト層である。

ここで用いられるICペレットは、たとえば、2mm角、厚さ400 $\mu\text{m}$ のTTL又はCMOS Logic等が考えられる。この場合、ピン数は14～16ピン、A8パッドの大きさは120 $\mu\text{m}$ 角、そのピッチは180 $\mu\text{m}$ である。

(4) 本実施例のワイヤボンディング・プロセスの詳細:

第15図に示すワイヤ・ボンディングの工程を第16図に図示する。同図において、4は銅合金よりなるインナーリード、8はタブ、12はSi単結晶ペレット、13はCuワイヤであり、キャビタリ37によって、ボール・ウェッジ・ボンディングされている。38は、チップ上のA8ボンディング・パッド、39は、ワイヤ13の先端に放電又はH<sub>2</sub>トーチでつくられたボール、40はパッドのための開口部、41はチップのファイナル・パッシベーションでリンガラスを含むSiO<sub>2</sub>、又はシリコンナイトライドよりなる。42は、Agペースト層でチップ12をタブ8の銅表面にダイボンディングするために用いられている。43は、LOCOS酸化膜等のフィールドSiO<sub>2</sub> film、44及び45はPSG(リン・シリケート・ガラス)、BSG(ボロン・シリケート・ガラス)、BPSG(ボロン・リン・シリケート・ガラス)等の材料からなる層間絶縁膜である。Pは、キャビタリに印加される加重の方向を示す。更にUは、ボンディング時にキャビタリを介して印加される超音波振動の方向を示す。同図に示すように、タブ8は、リード内端より低い位置に固定されており、このことによりワイヤ13のメレによるタブ端ショートを防止することができる。又、ボンディングの際には、チップおよびリードは、下方よ



リヒートブロックにより350℃程度に加熱されている。このことにより、A層配線層と同一のA層で形成されたパッド38とワイヤ13およびインナーリード4の銅表面とワイヤとの良好な接続を達成している。

(5) 本実施例の実装プロセスの詳細:

第17図〜第20図は、実施プロセスの説明のためのリフロー装置及び基板・ICの断面図である。

第17図は、Vapor phase solderingのための装置である。同図において、21は半田付けされるべきIC等を搭載したプリント配線基板、46はヒータ、47は耐薬品性容器、48は、巻縮コイル、Lは一次液体でパーフルオロトリ・アミル・アミン((C<sub>8</sub>F<sub>11</sub>)<sub>3</sub>N、商品名「フロリナートFC70」3M社製、沸点215℃、密度1940 kg/m<sup>3</sup>、分子重820、25℃における蒸気圧13 Pa以下)、Mは同蒸気すなわち、1次蒸気、Nは上記1次蒸気の流出によるロスを防止するための2次蒸気でトリクロロ・トリフルオロ・エタン

装される。

まず、第18図に示す如く、ランドパッド22以外をソルダーレジストでカバーされた配線基板が用意され、その上にスクリーン印刷により半田パターンが付着される。

次に、第19図に示す如く、アウターリードの先端近傍がパッケージ14の下方主面より下の位置において、その面とはほぼ平行に外側に延在するようにハンダクリーム面と接触するように搭載される。つづいて、第17図に示す如きリフロー容器内に投入される。リフロー炉内の一次蒸気内に基板が入れられるとリード面に飽和蒸気の凝集がおこり、この潜熱により、リード面が均一に加熱され、それにとまって、ハンダクリーム中のハンダがとけて、リードの先端およびその近傍をほぼ完全にぬらすことになる。

この後、2次蒸気中にしばらくおくと、リードその他の凝集液体は、すべて気化し乾燥した状態になり、温度の低下にとまって半田が固化して半田付が第20図に示す如く完成する。

(フロンTF、沸点48℃)である。

第18図は、ICパッケージ搭載前のプリント配線基板を示す。同図において、21は、ガラスエポキシ等の材料よりなる配線基板用絶縁板、50は半田クリーム層でハンダおよびハンダフラックスの混合物である。49は銅配線層、51は10μm厚のソルダーレジスト層でアクリル系よりなり紫外線照射により硬化させる。22は、ランドパッド領域である。

第19図は、リフロー前のICデバイスを半田クリームパターン上に搭載したところを示す図である。同図において、4は銅インナーリード、5はアウターリードの銅母材部、8は銅タブ、12はSチップ、13はCuボンディング・ワイヤ、14はレジン・パッケージ、17は半田メッキ層、18はアウターリードの自由端正面の切断面、38はチップ12上のA層パッド、39はCuボーン、42はAgペースト層である。

第6図又は第15図の如く、個別のデバイスに分離されたレジン封止ICは、以下のように面実

【発明の効果】

上記の実施例によって得られる効果を簡単に説明すれば、次の通りである。

アウターリードの外枠との切断面の面積をアウターリードの断面面積よりも小さく形成することにより、表面実装時にランドパッドとの間でアウターリード先端部にはんだ付け部を広い範囲に形成させることができるため、表面実装後における接点の信頼性や外観性能を高めることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例であるガル・ウイング形アウターリードを有する表面実装型パッケージICを示す斜視図、

第2図はそれに使用されているリードフレームの概略パターンを示す平面図、

第3図は第2図のB部を示す拡大斜視図、

第4図および第5図はその製造途中を示す各模式図、

第6図、第7図および第8図はその作用を説明するための各部分斜視図、

特開平1-211956 (8)

第9図、第10図および第11図は変形例を示す各拡大部分斜視図である。

第12図は、本実施例の具体的リードフレームパターンの詳細を示す平面図、

第13図は、同リードフレーム上のレジン封止部分を示す平面図、

第14図は、同リードフレームにおける枠体とレジン封体間の切断部を示す平面図である。

第15図は、本発明の面実装レジン封止デバイスの内部構造を示す部分断面斜視図である。

第16図は、本発明の面実装デバイスの製造工程におけるワイヤ・ボンディング・プロセスを示す模式断面図である。

第17図は、ペーパ・フェーズ・リフローの工程に使用するリフロー装置の概略を示す断面図である。

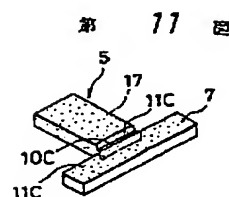
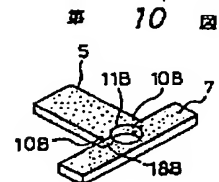
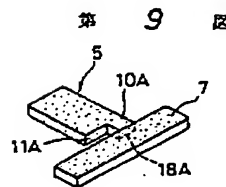
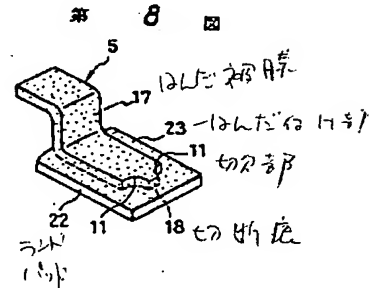
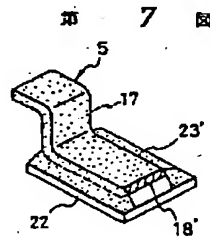
第18図～第20図は、面実装プロセス・フローを示すプリント配線基板および面実装デバイスの断面図である。

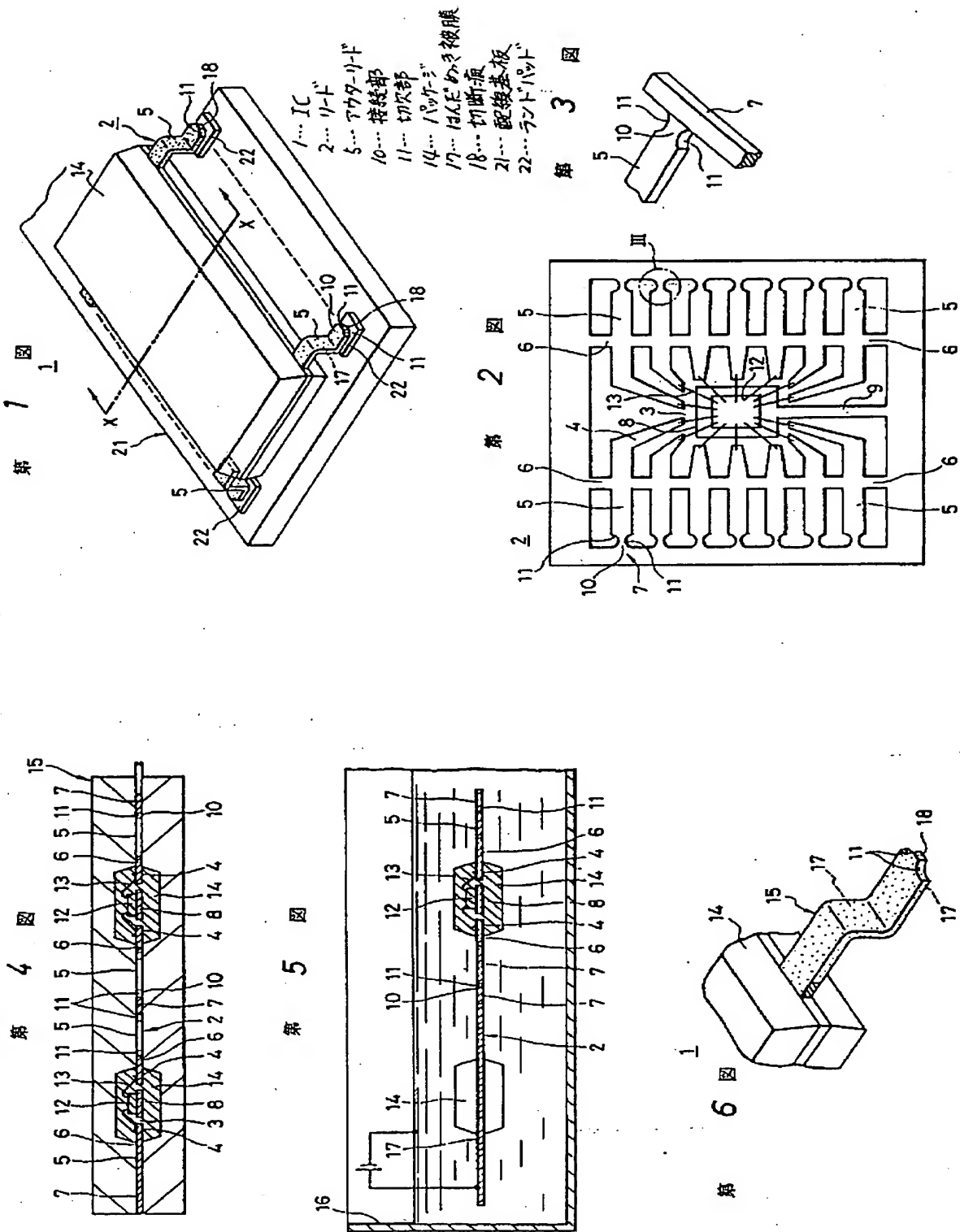
1…IC（電子装置）、2…リードフレーム、

3…空所、4…インナリード、5…アウトリード、6…ダム、7…外枠、8…タブ、9…タブ吊りリード、10、10A、10B、10C…接続部、11、11A、11B、11C…切欠部、12…ベレット、13…ボンディングワイヤ、14…パッケージ、15…トランスファ成形装置、16…電解めっき処理装置、17…はんだめっき被膜、18…切断痕、21…配線基板、22…ランドパッド、23…はんだ付け部、31A～E…スリット、32…境界枠、33…内枠、34…レジン封止部、35…デバイス分離時切断部、36…アウトリード自由端正面切断面、37…キャビタリ、38…ボンディング・パッド、39…ボール、40…パッド開口部、41…ファイナル・パッシュ・ベーション、42…Aゲペースト（導電ペースト）、43…フィールド絶縁膜、44～45…層間絶縁膜、46…ヒータ、47…容器、48…収縮コイル、49…銅配線、50…半田クリーム層、51…ソルダーレジスト、U…超音波振動方向、P…圧力印加方向、L…1次液体、M…1次蒸気、

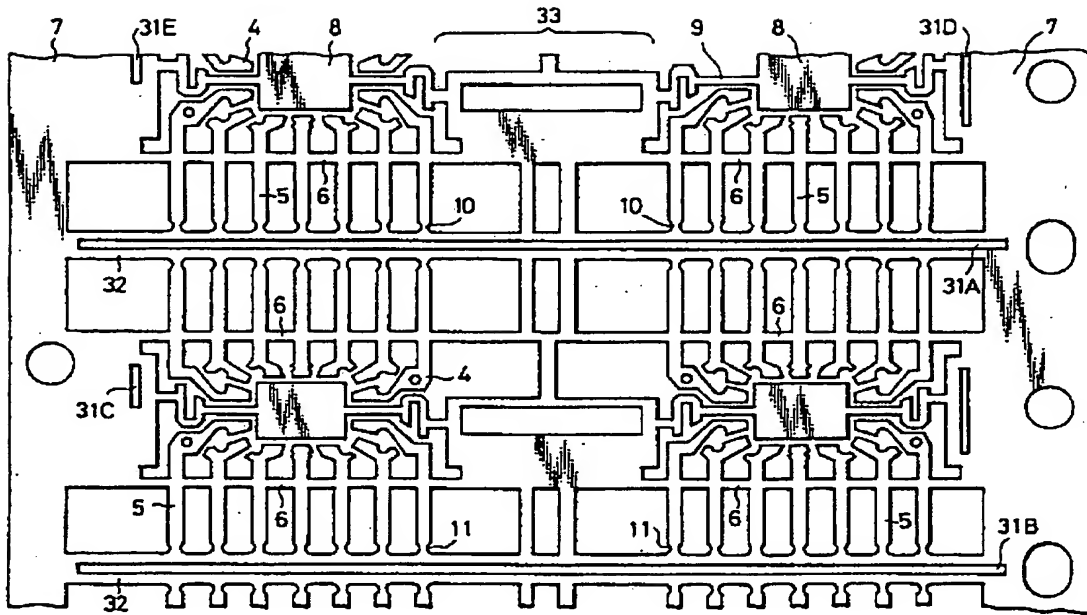
N…2次蒸気。

代理人 弁理士 小川 勝

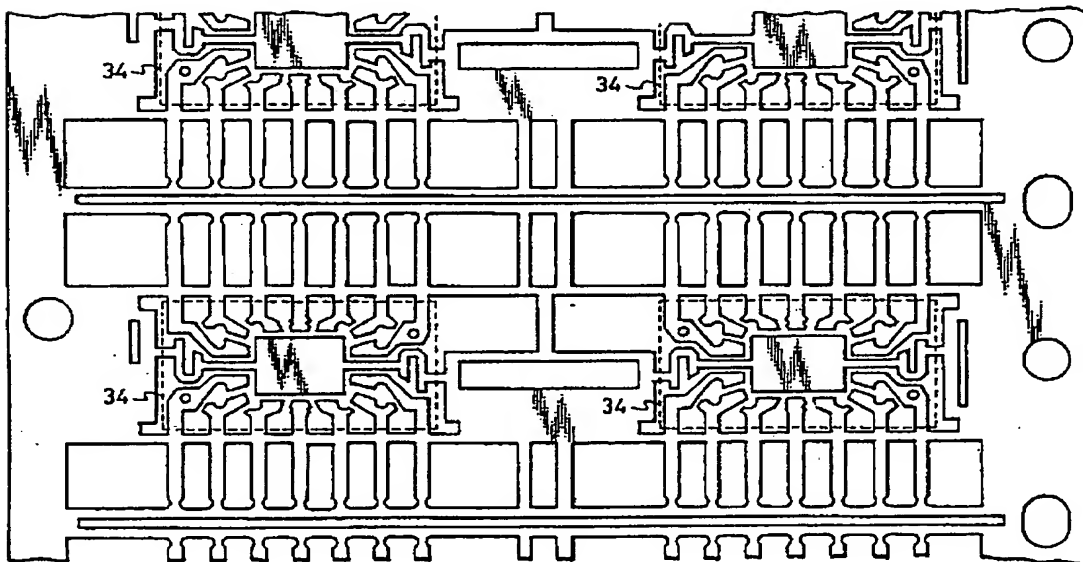




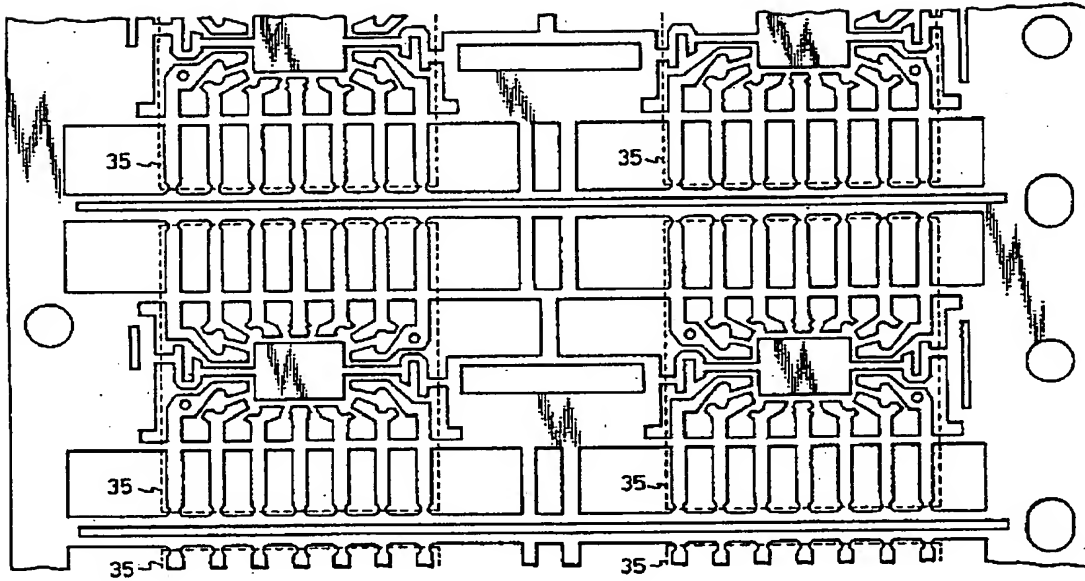
第 12 圖



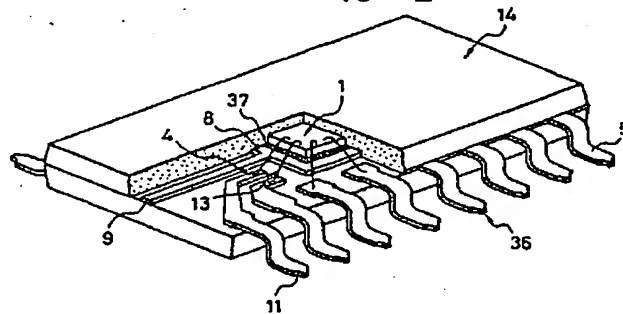
第 13 圖



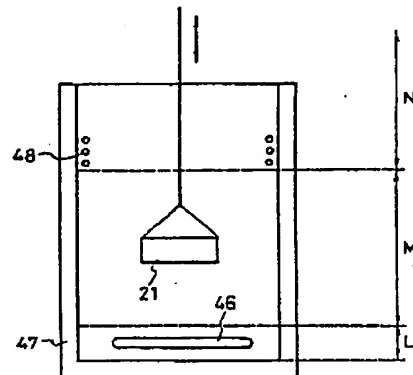
第 14 図



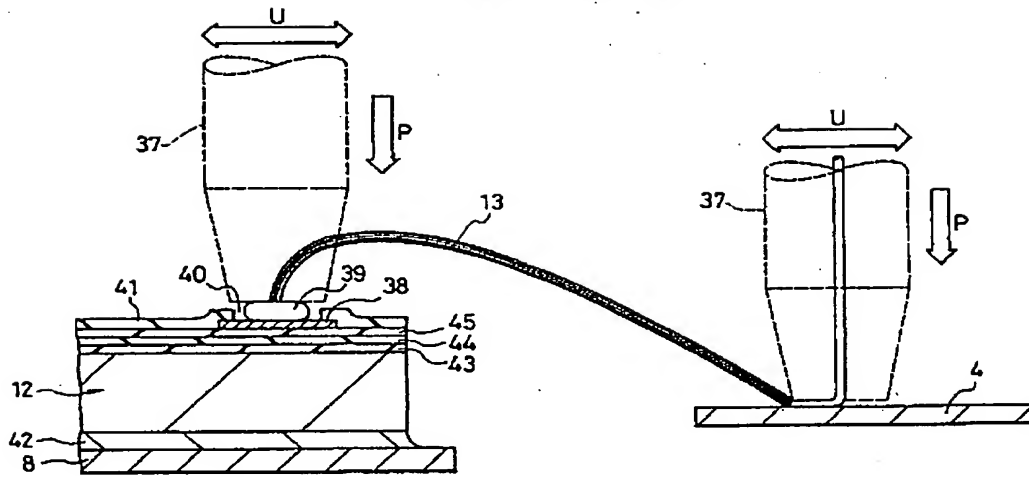
第 15 図



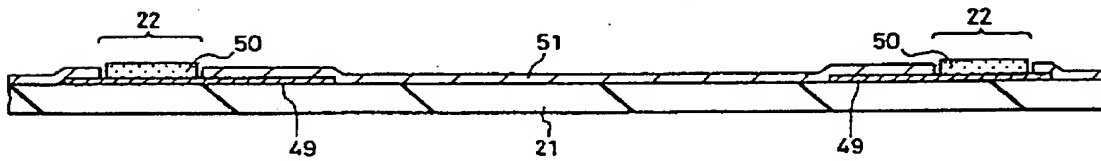
第 17 図



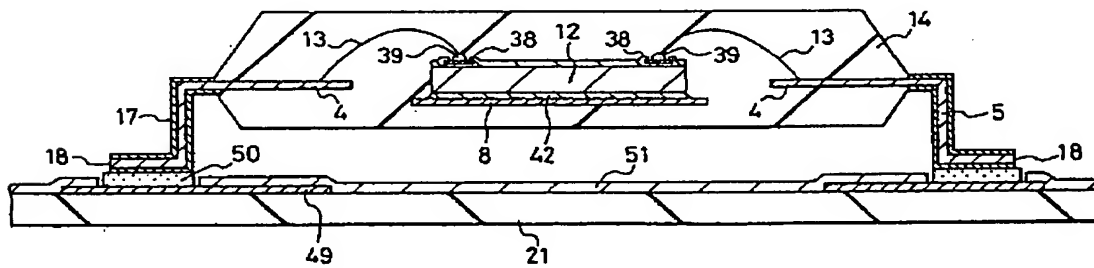
第 16 圖



第 18 圖



第 19 圖



第 20 図

